

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049661

(43)Date of publication of application : 18.02.2000

(51)Int.Cl. H04B 1/707
 H03H 15/00
 H03H 17/02
 H03M 1/12

(21)Application number : 10-216136

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 30.07.1998

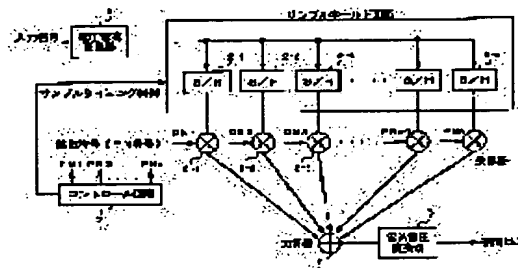
(72)Inventor : IMAIZUMI ICHIRO
 KATO HISASHI
 URABE KENZO
 MIYATANI TETSUHIKO

(54) MATCHED FILTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the need of periodical refreshment, to perform acceleration and to reduce power consumption without increasing a circuit scale by converting an analog voltage modulated in a code division multiplex system to an analog current, sampling and holding it, multiplying a spread code to the held analog current, adding a multiplied result and obtaining correlation output.

SOLUTION: The voltage/current converter 5 of this matched filter circuit converts spread spectrum modulated analog input voltage signals to current signals. A current/voltage converter 6 converts the current of the correlation output to a voltage. A sample-and-hold circuit 2 is for sampling and holding the converted current and requires one symbol length of spread signals and respective circuits 2-1-2-n successively fetch the current by time division by a chip interval for which one symbol time is equally divided by (n) and repeat it. A control circuit 7 controls the sample timing of the circuit 2 and controls the changeover of the spread signals of a multiplier 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49661

(P2000-49661A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 B 1/707		H 0 4 J 13/00	D 5 J 0 2 2
H 0 3 H 15/00		H 0 3 H 15/00	5 J 0 2 3
17/02	6 0 1	17/02	6 0 1 Z 5 K 0 2 2
H 0 3 M 1/12		H 0 3 M 1/12	A

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21) 出願番号 特願平10-216136

(22) 出願日 平成10年7月30日 (1998.7.30)

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 今泉 市郎

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 加藤 寿

秋田県南秋田郡天王町天王字長沼64 アキ
タ電子株式会社内

(74) 代理人 100093104

弁理士 船津 暢宏 (外1名)

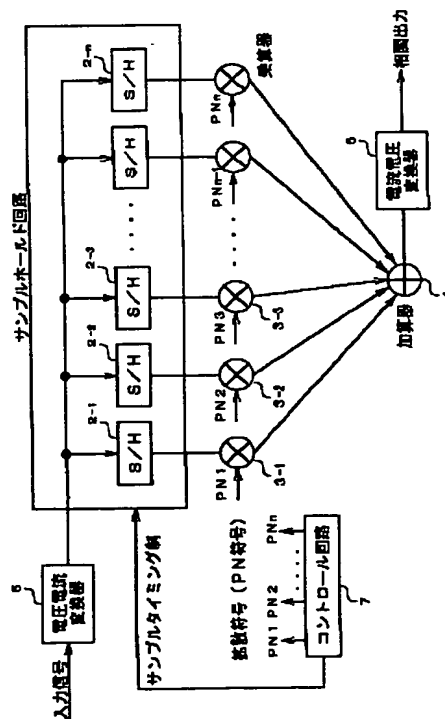
最終頁に続く

(54) 【発明の名称】 マッチドフィルタ回路

(57) 【要約】

【課題】 定期的なリフレッシュを不要にし、回路規模を増大することなく、高速で且つ消費電力を低減できるマッチドフィルタ回路を提供する。

【解決手段】 入力したアナログ電圧をアナログ電流に変換し、アナログ電流についてサンプルホールド及び拡散符号との乗算及び乗算結果の加算を行い、加算結果の電流を電圧に変換して相関出力とするマッチドフィルタ回路である。



【特許請求の範囲】

【請求項1】 符号分割多重方式で変調されたアナログ電圧を入力し、前記アナログ電圧をアナログ電流に変換し、前記アナログ電流をサンプルホールドし、前記ホールドされたアナログ電流に拡散符号を乗算し、前記乗算結果を加算して相関出力を取得することを特徴とするマッチドフィルタ回路。

【請求項2】 符号分割多重方式で変調されたアナログ電圧を入力し、前記アナログ電圧をアナログ電流に変換する電圧電流変換器と、前記アナログ電流をサンプルホールドする複数のサンプルホールド回路と、前記各サンプルホールド回路でホールドされた電流に与えられた拡散符号を乗算する複数の乗算器と、前記各サンプルホールド回路におけるサンプルタイミングを制御すると共に、前記乗算回路に拡散符号をシフトしながら与えるコントロール回路と、前記乗算結果を加算する加算器と、前記加算結果の電流を電圧に変換する電流電圧変換器を有することを特徴とするマッチドフィルタ回路。

【請求項3】 サンプルホールド回路が、電圧電流変換器から出力されるアナログ電流を時分割でサンプリングし、前記サンプリングした電流に対応する出力電流をホールドする制御を行う第1及び第2のスイッチと、前記サンプリングした電流による電荷をホールドする静電容量と、前記サンプリングした電流と前記出力電流の向きを反転する為の2つのトランジスタとを有するサンプルホールド回路であることを特徴とする請求項2記載のマッチドフィルタ回路。

【請求項4】 乗算器が、サンプルホールド回路の出力を入力し、与えられる拡散符号の値に従って正相又は逆相に切り替えて出力するスイッチと、前記逆相側にあって前記サンプルホールド回路の出力を反転する反転増幅器とを有する乗算器であることを特徴とする請求項2記載のマッチドフィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信や無線LAN等におけるスペクトラム拡散通信システムの受信機側で用いられるマッチドフィルタ回路に係り、特に高速で且つ消費電力を低減できるマッチドフィルタ回路に関する。

【0002】

【従来の技術】一般的にスペクトラム拡散 (Spread Spectrum : SS) 通信システムでは、送信側で送信データに対して狭帯域変調 (1次変調) と拡散変調 (2次変調) の2段階の変調を行ってデータを送信し、受信側では、受信データに対して逆拡散を行って1次変調信号に戻してから、通常の検波回路でベースバンド信号の再生を行うようになっている。

【0003】そして、従来スペクトラム拡散された受信信号の逆拡散回路としては、高速に同期捕捉を行い、以

降検出された同期位相で相関を取ることができるマッチドフィルタ回路が用いられていた。

【0004】まず、従来のマッチドフィルタ回路の1つであるデジタル方式のマッチドフィルタ回路について、図6を使って説明する。図6は、従来のデジタル方式のマッチドフィルタ回路の構成ブロック図である。

【0005】従来のデジタル方式のマッチドフィルタ回路は、入力アナログ信号をデジタル値に変換するアナログ/デジタル (A/D) 変換器1と、複数のディレイフリップフロップ (Delay Flip-Flop: D-FF) で構成されるサンプル・ホールド回路2' と、各D-FFからの出力に拡散符号であるPN (Pseudo random Noise) 符号を乗算する乗算器3' と、乗算器3' からの乗算結果を加算する加算器4' とから構成されている。

【0006】従来のデジタル方式のマッチドフィルタ回路の動作は、入力アナログ信号がA/D変換器1でデジタル値に変換され、サンプル・ホールド回路2' で、1シンボル分のデータが保持され、乗算器3' でPN符号を構成する各コードと各々乗算され、乗算結果が加算器4' で加算されて、相関出力が得られるようになっている。

【0007】しかし、このデジタル方式のマッチドフィルタ回路の場合、高精度のアナログ/デジタル変換器が必要のために消費電力の増大をもたらすという問題点があり、また処理速度を高速にしたい場合、例えば符号長分のサンプル・ホールド回路2' 及び乗算器3' の組を複数設ける方法を取ると、それに比例して消費電力が増加し、高速化と低消費電力化を両立することが困難となっている。

【0008】そこで、これらの対策として、アナログ/デジタル変換器を用いず、直接アナログ信号のまま復調を行うマッチドフィルタ回路が、特開平9-46231号「マッチドフィルタ回路」に提案されている。

【0009】ここで、従来のマッチドフィルタ回路の別の例であるアナログ方式のマッチドフィルタ回路について、図7を用いて説明する。図7は、従来のアナログ方式のマッチドフィルタ回路の構成例を示すブロック図である。

【0010】従来のアナログ方式のマッチドフィルタ回路は、入力アナログ信号を順次取り込んで保持する複数のサンプル・ホールド回路 (S/H) 2'' と、各サンプル・ホールド回路2'' で保持された電位に対してPN符号を乗算する乗算器3'' と、乗算器3'' からの出力を一斉に加算する加算器4'' とから構成されている。

【0011】尚、特開平9-46231号の提案では、消費電力を低減する目的から、サンプル・ホールド回路2'' にいわゆるニューロオペアンプが使用されている。ニューロオペアンプについては、特開平6-45839号「演算増幅器」等に提案されている他、'97ISSCC Digest of Technical Paper TP6.5 Page100 にも

記載されている。

【0012】

【発明が解決しようとする課題】しかしながら、特開平9-46231号に提案されている従来のアナログ方式のマッチドフィルタ回路では、前記デジタル方式のマッチドフィルタ回路に比べ低消費電力化を実現しているが、アナログ型の演算回路においては、ニューロオペアンプを用いているために、インバータやキャパシタンスにおける電荷残留によりオフセット電圧が生じ、多数のアンプ間のオフセット誤差が大きく、出力精度が劣化するという問題点があった。

【0013】そして、このような残留電荷の解消のためには、容量部分を短絡させるいわゆるリフレッシュを定期的実施する必要がある、このリフレッシュ時には演算を停止しなければならないため、代わりに演算を実行する回路を余分に設けて速度低下を防ぐことになり、回路規模が増大するという問題点があった。

【0014】また、定期的なリフレッシュを制御する制御ロジックの規模が大きく、更なる低消費電力化が難しいという問題点があり、必ずしも性能面、製造面で課題が無いとは言えない。

【0015】本発明は上記実情に鑑みて為されたもので、定期的なリフレッシュを不要にし、回路規模を増大することなく、高速で且つ消費電力を低減できるマッチドフィルタ回路を提供することを目的とする。

【0016】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、マッチドフィルタ回路において、符号分割多重方式で変調されたアナログ電圧を入力し、前記アナログ電圧をアナログ電流に変換し、前記アナログ電流をサンプルホールドし、前記ホールドされたアナログ電流に拡散符号を乗算し、前記乗算結果を加算して相関出力を取得することを特徴としており、定期的なリフレッシュを不要にできる。

【0017】上記従来例の問題点を解決するための請求項2記載の発明は、マッチドフィルタ回路において、符号分割多重方式で変調されたアナログ電圧を入力し、前記アナログ電圧をアナログ電流に変換する電圧電流変換器と、前記アナログ電流をサンプルホールドする複数のサンプルホールド回路と、前記各サンプルホールド回路でホールドされた電流に与えられた拡散符号を乗算する複数の乗算器と、前記各サンプルホールド回路におけるサンプルタイミングを制御すると共に、前記乗算回路に拡散符号をシフトしながら与えるコントロール回路と、前記乗算結果を加算する加算器と、前記加算結果の電流を電圧に変換する電流電圧変換器を有することを特徴としており、定期的なリフレッシュを不要にできる。

【0018】上記従来例の問題点を解決するための請求項3記載の発明は、請求項2記載のマッチドフィルタ回路において、サンプルホールド回路が、電圧電流変換器

から出力されるアナログ電流を時分割でサンプリングし、前記サンプリングした電流に対応する出力電流をホールドする制御を行う第1及び第2のスイッチと、前記サンプリングした電流による電荷をホールドする静電容量と、前記サンプリングした電流と前記出力電流の向きを反転する為の2つのトランジスタとを有するサンプルホールド回路であることを特徴としており、簡単な構成で且つ消費電力を低減したサンプル・ホールド回路を実現できる。

【0019】上記従来例の問題点を解決するための請求項4記載の発明は、請求項2記載のマッチドフィルタ回路において、乗算器が、サンプルホールド回路の出力を入力し、与えられる拡散符号の値に従って正相又は逆相に切り替えて出力するスイッチと、前記逆相側にあって前記サンプルホールド回路の出力を反転する反転増幅器とを有する乗算器であることを特徴としており、簡単な構成で乗算器を実現できる。

【0020】

【発明の実施の形態】請求項に係る発明について、その実施の形態を図面を参照しながら説明する。本発明に係るマッチドフィルタ回路は、入力したアナログ電圧をアナログ電流に変換し、アナログ電流についてサンプルホールド及び拡散符号との乗算及び乗算結果の加算を行い、加算結果の電流を電圧に変換して相関出力とするものである。定期的なリフレッシュを不要にでき、回路規模を増大することなく、高速で且つ消費電力を低減できるものである。

【0021】まず、本発明に係るマッチドフィルタ回路の構成について図1を使って説明する。図1は、本発明に係るマッチドフィルタ回路の構成ブロック図である。尚、図7と同様の構成をとる部分については同一の符号を付して説明する。

【0022】本実施の形態のマッチドフィルタ回路は、図1に示すように、従来と同様の構成である複数のサンプル・ホールド回路2と、サンプル・ホールド回路2と対になる乗算器3と、加算器4と、本発明の特徴部分である電圧電流変換器5と、電流電圧変換器6と、コントロール回路7とから構成されている。

【0023】次に、本発明のマッチドフィルタ回路の各部について具体的に説明する。電圧電流変換器5は、スペクトラム拡散変調されているアナログの入力電圧信号を、電流信号に変換する一般的な電圧電流変換器である。電流電圧変換器6は、相関出力の電流を電圧に変換するものである。

【0024】サンプル・ホールド回路2は、変換された電流をサンプルホールドするもので、拡散信号(PN符号)の1シンボル長分(図1ではn個)必要とし、各サンプル・ホールド回路2-1~2-nが、1シンボル時間をn等分したチップ間隔で時分割して順に電流の取り込みを行い、それを繰り返すようになっている。

【0025】ここで、1つのサンプル・ホールド回路2の具体的な構造について、図2を使って説明する。図2は、本発明のサンプル・ホールド回路の内部構成図である。サンプルホールド回路2は、図2に示すように、カレントミラー回路を基本とし、スイッチ(S1)21と、スイッチ(S2)22と、MOSトランジスタ(M1)23と、MOSトランジスタ(M2)24と、静電容量(Cs)25とから構成されている。

【0026】図2のサンプル・ホールド回路2の動作は、時分割された電流の取り込みタイミングになると、スイッチ21とスイッチ22が共にONになって、カレントミラー回路として動作し、MOSトランジスタ23とMOSトランジスタ24に同電流が流れ、入力電流をサンプリングして、静電容量25にホールドし、サンプリング時間(1チップ時間)が経過すると、スイッチ21とスイッチ22が共にOFFになる。

【0027】そして、スイッチ21とスイッチ22がOFFになると、静電容量Csに保持された電荷によりMOSトランジスタ24側では電流が流れ続ける状態が保持され、次の電流の取り込みタイミングになってスイッチ21及びスイッチ22がONになるまで入力された電流に対して、電流の向きが反対で絶対値が等しい電流が出力され続けるようになっている。

【0028】尚、各サンプルホールド回路2-1～2-nにおけるスイッチ21及びスイッチ22の切替制御は、後述するコントロール回路7で行う。スイッチ21及びスイッチ22の切替制御の具体例については、後述する。

【0029】乗算器3は、各サンプル・ホールド回路2からの出力電流に対して拡散符号(PN符号)の値を乗算するもので、サンプル・ホールド回路2と対になるように設けられている。そして、各乗算器3-1～3-nには、PN符号を構成する各符号の値(“1”又は“0”)が後述するコントロール回路7によって1チップ毎にシフトするように制御されながら与えられるようになっている。

【0030】ここで、1つの乗算器3の具体的な構造について、図3を使って説明する。図3は、本発明の乗算器の内部構成図である。乗算器3は、図3に示すように、スイッチ(SW)31と、反転増幅器32とから構成されている。尚、反転増幅器32は、入力電流を反転して出力する一般的な反転増幅器で、例えば、図2に示したサンプルホールド回路と同一の回路構成をとる。

【0031】そして、各乗算器3では、後述するコントロール回路7から1チップ毎にシフトしながら拡散符号(PN符号)の値(“1”又は“0”)が与えられることによって、スイッチ31が正相(PN=“1”)又は逆相(PN=“0”)に切り替えられ、逆相分については反転増幅器32で反転することによって、各サンプル・ホールド回路2からの出力の正相信号又は逆相信号を出力するようになっている。

【0032】尚、ここで、実際には電流の向きは、図3の右から左方向に流れ、図2に示したMOSトランジスタ24に流れ込むことになる。

【0033】コントロール回路7は、各サンプルホールド回路2におけるサンプルタイミングの制御と、各乗算器3における拡散(PN)符号の切替制御を行うものである。

【0034】具体的に、サンプルタイミングの制御では、1シンボル時間をn等分したチップ時間毎に各サンプルホールド回路2-1～2-nが順に入力電流を取り込むように、各サンプルホールド回路2-1～2-nのスイッチ21及びスイッチ22のON/OFFを制御する。また、PN符号の切替制御では、PN符号を記憶し、各乗算器3に与えるPN符号の値をシフトして供給するよう制御する。

【0035】ここで、サンプルホールド回路2及び乗算器3における動作について、図4を用いて具体例で説明する。図4は、本発明のサンプルホールド回路2及び乗算器3における動作の具体例を示すタイミングチャート図である。尚、図4では1シンボルが7チップの場合を示している。

【0036】図4に示すように、1シンボルが7チップで、サンプルホールド回路2-1からサンプルホールド回路2-7の順でサンプリングを行う場合、サンプルホールド回路(S/H)2-1のスイッチ21(S1)及びスイッチ22(S2)は、(b-1)のように時刻t0でONされ、1チップ後の時刻t1でOFFされ、1シンボル周期後の時刻t7でONされ、1チップ後の時刻t8でOFFされてサンプリングを行う。

【0037】サンプリング時間t0～t1で、入力電流が(a)のようにプラス(+)であると、サンプルホールド回路(S/H)2-1からの出力電流は(b-2)のようにマイナス(-)になり、次のサンプリング時刻t7までホールドされる。そして、次のt7～t8のサンプリングで、入力電流が(a)のようにマイナス(-)であるので、出力電流は(b-2)のようにプラス(+)になり、次のサンプリング時刻までホールドされる。

【0038】一方、サンプルホールド回路(S/H)2-2では、スイッチ21(S1)及びスイッチ22(S2)が、(c-1)のように時刻t1でONされ、1チップ後の時刻t2でOFFされ、1シンボル周期後の時刻t8でONされ、1チップ後の時刻t9でOFFされてサンプリングが行われ、t1～t2で、入力電流が(a)のようにマイナス(-)であるので、出力電流は(c-2)のようにプラス(+)になり、次のサンプリング時刻t8までホールドされる。

【0039】そして、以降のサンプルホールド回路2-3～2-7は、1チップずつずれたタイミングでサンプルホールドを行うようになっており、これが時分割でサンプルホールドを行うということを示している。

【0040】そして、各乗算器3では、対になるサンプルホールド回路2からの出力電流がホールドされている1シンボル間に、コントロール回路7の制御によって1チップ毎にシフトされたPN符号が順に与えられ、乗算を行う。例えば、乗算器3-1においては、(b-3)に示すように時刻t0から1チップ毎にPN符号を構成する各符号(PN1~PN7とする)が与えられて乗算され、乗算器3-2においては、(c-3)に示すようにPN2~PN7, PN1の順で与えられて乗算される。

【0041】このように乗算器3に対する拡散符号(PN符号)のシフトを実施しない場合、各サンプルホールド回路2間で保持電流の転送が必要になり、転送に伴う誤差が発生することになるので、このPN符号のシフトは電流の転送誤差を防止するうえで有効になる。

【0042】加算器4は、各乗算器3から出力される乗算結果を加算する電流加算器である。ここで、1つの加算器4の具体的な構造について、図5を使って説明する。図5は、本発明の加算器4の内部構成図である。加算器4は、図5に示すようにカレントミラー回路を用い、MOSトランジスタ(M3)41と、MOSトランジスタ(M4)42とから構成されている。

【0043】加算器4は、各乗算器3からの出力電流で、反転増幅器32を用いて反転された逆相分とそのまま出力される正相分とが共にWire-ORとなって加算され、加算された電流が入力され、電流の向きが反対で絶対値が等しい電流が出力されるようになっている。

【0044】本発明のマッチドフィルタ回路では、入力されたアナログ電圧を電圧電流変換器5によって電流に変換し、変換された電流を時分割にカレントミラー型のサンプルホールド回路2にサンプルホールドし、拡散符号(PN符号)の値をシフトしながら乗算器3で乗算し、全ての乗算結果を加算器4にて加算し、加算結果を電流電圧変換器6によって電圧に変換して相関出力を取得するので、動作周波数には依存せず一定であり、高速動作においても低消費電力となる効果がある。

【0045】また、本発明のマッチドフィルタ回路は、サンプル・ホールド回路2が、サンプリングのタイミングを制御するスイッチ21, 22と、電荷をホールドする静電容量25と、出力電流の向きを反転する為のMOSトランジスタ23, 24で構成でき、ニューロアンプ等を用いることなく簡単に低消費電力なマッチドフィルタ回路が実現でき、リフレッシュ等を不要にして、回路規模を増大することなく、高速で且つ消費電力を低減できる効果がある。

【0046】また、本発明のマッチドフィルタ回路は、乗算器3が拡散符号の値によって切り分けるスイッチと、逆相出力において信号を反転させる反転増幅器32で構成でき、簡単な構成で乗算器3を実現できる効果がある。

【0047】また、本発明のマッチドフィルタ回路は、

コントロール回路7で乗算器3に与える拡散符号をシフトするので、ホールドされた電流の転送等が不要になり、電流の転送誤差を防止できる効果がある。

【0048】

【発明の効果】請求項1記載の発明によれば、符号分割多重方式で変調されたアナログ電圧を入力してアナログ電流に変換し、アナログ電流をサンプルホールドし、ホールドされたアナログ電流に拡散符号を乗算し、乗算結果を加算して相関出力を取得するマッチドフィルタ回路としているので、A/D変換器やニューロアンプなどを用いずに構成することによって、定期的なリフレッシュを不要にでき、回路規模を増大することなく、高速で且つ消費電力を低減できる効果がある。

【0049】請求項2記載の発明によれば、符号分割多重方式で変調されたアナログ電圧を入力して電圧電流変換器でアナログ電流に変換し、コントロール回路の制御によって複数のサンプルホールド回路でアナログ電流を時分割にサンプルホールドし、乗算器でホールドされたアナログ電流にコントロール回路の制御によってシフトしながら与えられる拡散符号を乗算し、加算器で乗算結果を加算して相関出力を取得するマッチドフィルタ回路としているので、A/D変換器やニューロアンプなどを用いずに構成することによって、定期的なリフレッシュを不要にでき、回路規模を増大することなく、高速で且つ消費電力を低減できる効果がある。

【0050】請求項3記載の発明によれば、サンプルホールド回路が、第1及び第2のスイッチで電圧電流変換器から出力されるアナログ電流を時分割で取り込むタイミングを制御して静電容量に取り込んだ電流の電荷をホールドし、取り込んだ電流に対応する出力電流をホールドしたまま出力し、2つのトランジスタで取り込んだ電流と、出力電流の向きを反転するサンプルホールド回路である請求項2記載のマッチドフィルタ回路としているので、ニューロアンプなどを用いずにサンプルホールド回路を構成することによって、定期的なリフレッシュを不要にでき、回路規模を増大することなく、高速で且つ消費電力を低減できる効果がある。

【0051】請求項4記載の発明によれば、乗算器が、サンプルホールド回路の出力を入力し、スイッチで与えられる拡散符号の値に従って正相又は逆相に切り替えて出力し、逆相側ではサンプルホールド回路の出力を反転増幅器で反転する乗算器である請求項2記載のマッチドフィルタ回路としているので、簡単な構成で乗算器を構成することによって、高速で且つ消費電力を低減できる効果がある。

【図面の簡単な説明】

【図1】本発明に係るマッチドフィルタ回路の構成ブロック図である。

【図2】本発明のサンプル・ホールド回路の内部構成図である。

【図3】本発明の乗算器の内部構成図である。

【図4】本発明のサンプルホールド回路及び乗算器における動作の具体例を示すタイミングチャート図である。

【図5】本発明の加算器の内部構成図である。

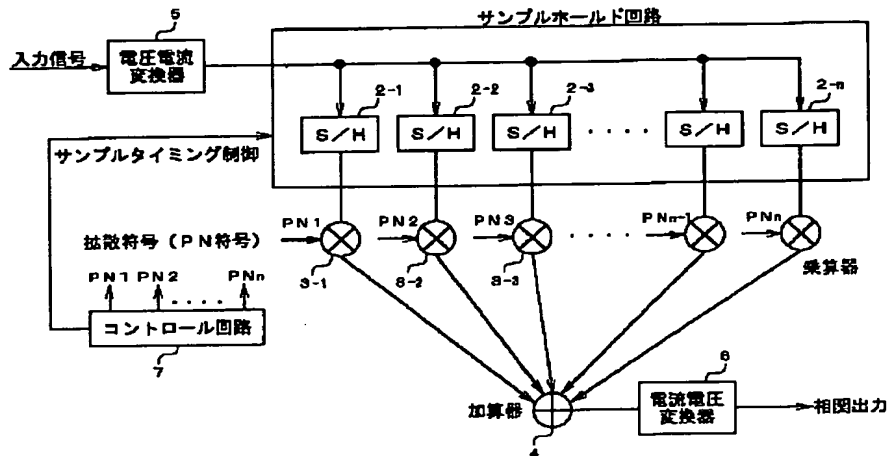
【図6】従来のデジタル方式のマッチドフィルタ回路の構成ブロック図である。

【図7】従来のアナログ方式のマッチドフィルタ回路の構成例を示すブロック図である。

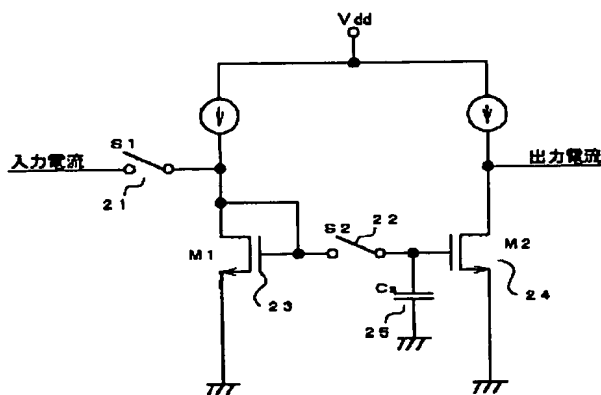
【符号の説明】

1…AD変換器、 2, 2', 2''…サンプル・ホールド回路、 3, 3', 3''…乗算器、 4, 4', 4''…加算器、 5…電圧電流変換器、 6…電流電圧変換器、 21, 22…スイッチ、 23, 24…MOSトランジスタ、 25…静電容量、 31…スイッチ、 32…反転増幅器、 41, 42…MOSトランジスタ

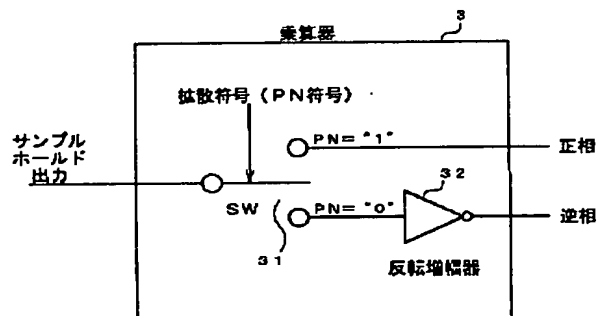
【図1】



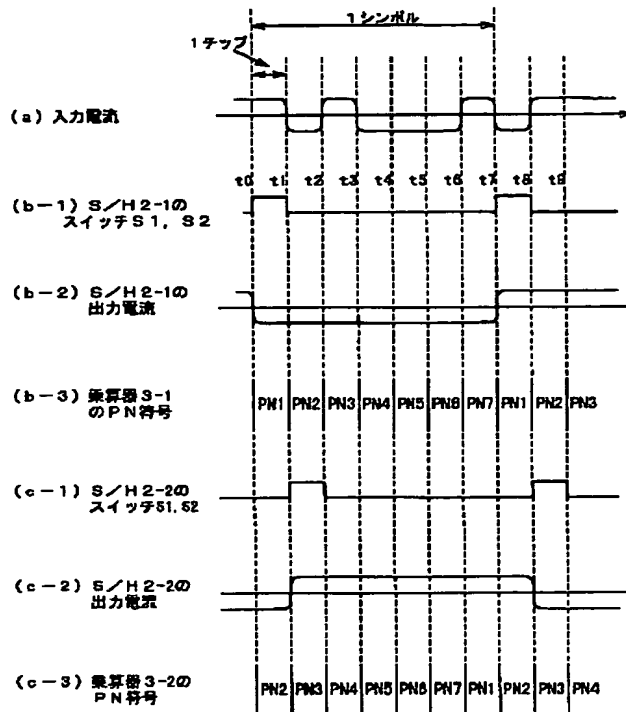
【図2】



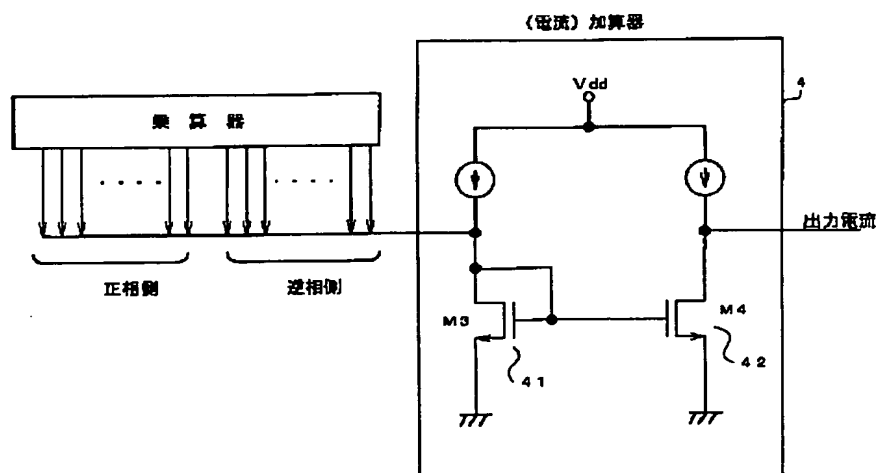
【図3】



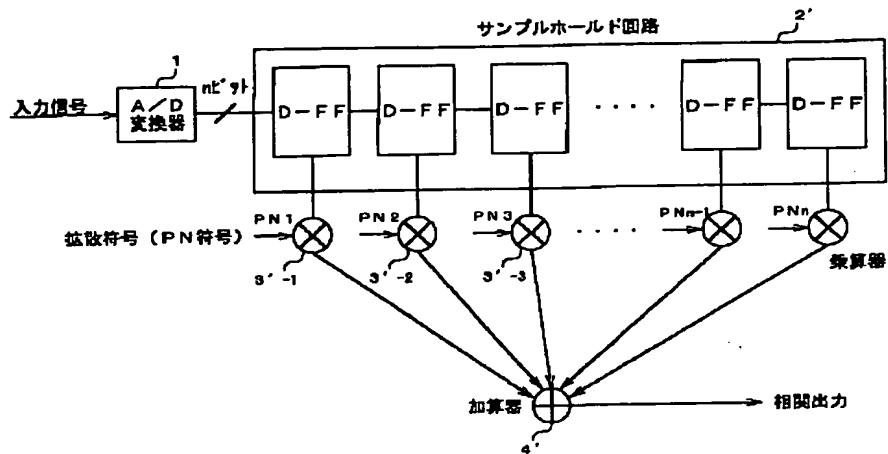
【図4】



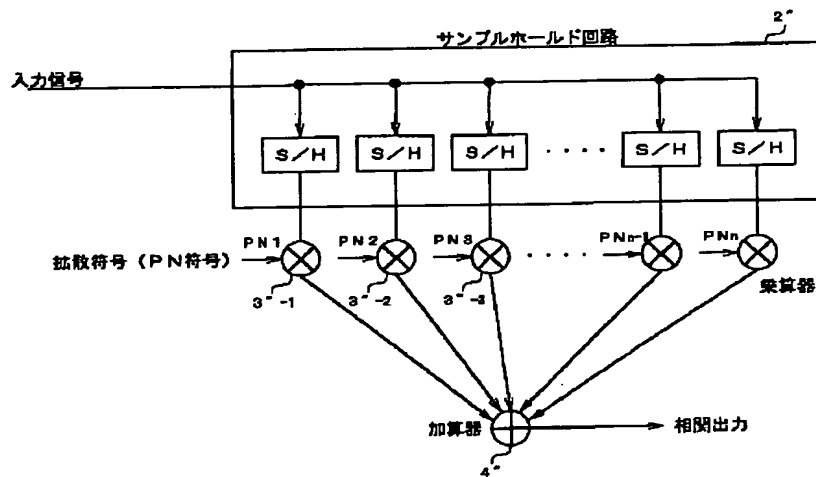
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 占部 健三
東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72)発明者 宮谷 徹彦
東京都中野区東中野三丁目14番20号 国際
電気株式会社内

Fターム(参考) 5J022 BA05 CF05
5J023 AA01 AB02 AC04 AC06 AC08
AD13
5K022 EE02 EE33